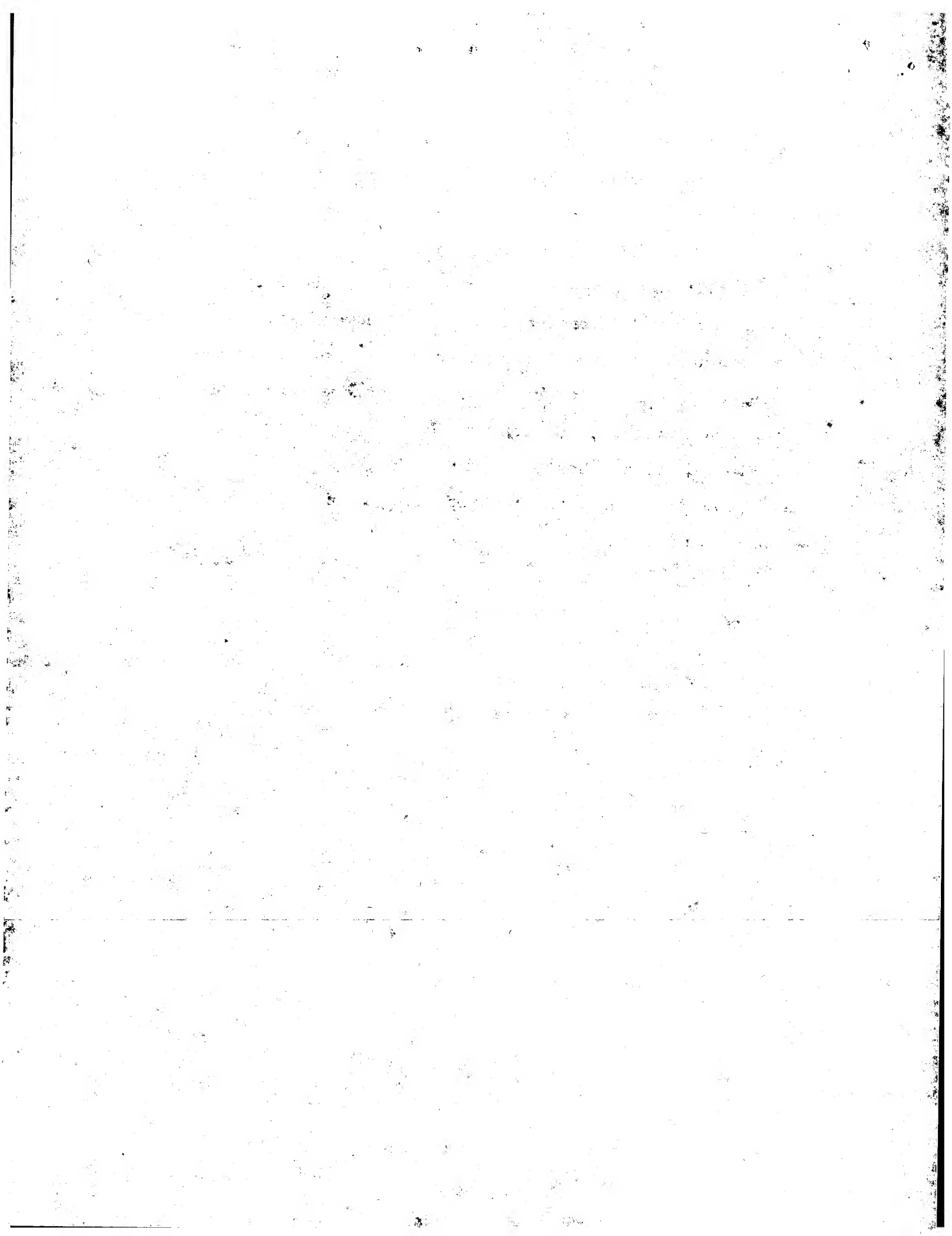


Partial Translation

Japanese Patent Application Laid-open No. H10-135519

Page 9, Column 15, Paragraph [0050], lines 17-23

A flip-chip type LED is disclosed in the fifth embodiment of the present invention, and you may notice that the structure in FIG. 7 is turned upside down. The p-side electrode 137 which functions as a second electrode is formed on the upper portion of the p-type contact layer 135 (in FIG. 7, at the bottom portion of the p-type contact layer 135). The p-side electrode 137 comprises a metal such as Ni/Au and Ti/Au.



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135519

(43)Date of publication of application : 22.05.1998

(51)Int.Cl. H01L 33/00  
H01S 3/18

(21)Application number : 09-244322

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.09.1997

(72)Inventor : ISHIKAWA MASAYUKI  
NITTA KOICHI

(30)Priority

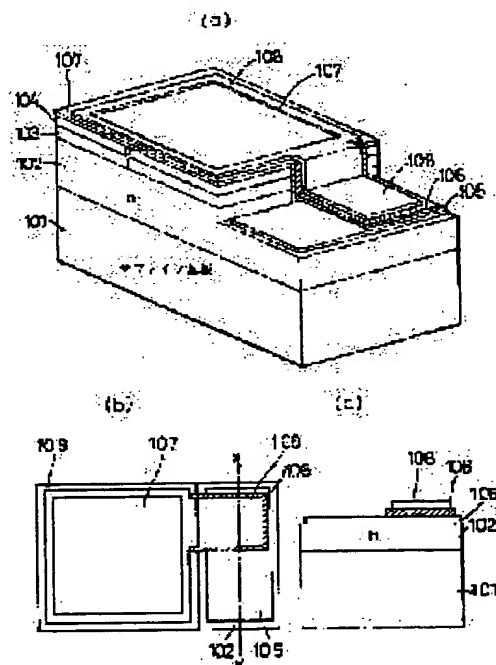
Priority number : 08238070 Priority date : 09.09.1996 Priority country : JP

## (54) SEMICONDUCTOR LIGHT EMITTING ELEMENT AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor element which has a high surge withstand voltage and is highly reliable.

**SOLUTION:** This structure has an additional capacitance part formed between electrodes at p-side and at n-side. Definitely an LED having an n-type GaN semiconductor layer 102 on a sapphire substrate 101, a GaN family active layer 103 and a p-side GaN family semiconductor layer 103 is comprised of an n-side electrode 105 formed on the n-type GaN family semiconductor layer 102 and of an electrode wiring part 108 formed by extended from the upper part of the p-side GaN family semiconductor layer 103 being provided on the n-side electrode 105 via an insulating film 106 to constitute a capacitor.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3447527

[Date of registration] 04.07.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135519

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

E

H 0 1 S 3/18

H 0 1 S 3/18

C

審査請求 未請求 請求項の数16 O L (全 15 頁)

(21) 出願番号 特願平9-244322

(22) 出願日 平成9年(1997) 9月9日

(31) 優先権主張番号 特願平8-238070

(32) 優先日 平8(1996) 9月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 正行

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72) 発明者 新田 康一

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

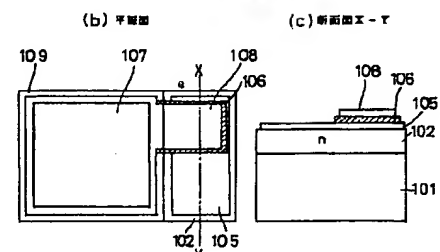
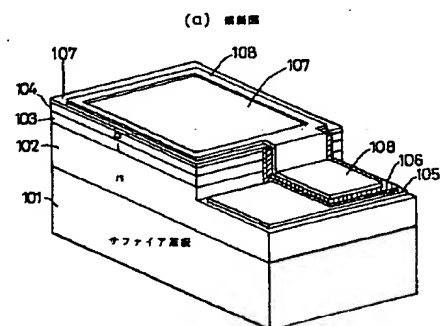
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体発光素子およびその製造方法

(57) 【要約】

【課題】 サージ耐圧が高く信頼性の高い半導体素子を提供する。

【解決手段】 p側とn側電極の間に付加的な容量部とを形成した構造である。具体的にはサファイア基板101上のn型GaN半導体層102、GaN系活性層103およびp側GaN系半導体層103を有するLEDにおいて、n型GaN系半導体層の上にn側電極105を形成し、その上に絶縁膜106を介して、p側GaN系半導体層の上部から延長して形成された電極配線部108が配置され、キャパシタを構成している。



## 【特許請求の範囲】

【請求項1】 p側電極とn側電極とを具備する半導体発光素子であって、該p側電極とn側電極との間に付加的な容量部を構成したことを特徴とする半導体発光素子。

【請求項2】 前記付加的な容量部の容量値は、前記半導体発光素子に内在する固有容量値と同程度もしくはそれ以上の値であることを特徴とする請求項1記載の半導体発光素子。

【請求項3】 前記付加的な容量部は前記p側電極もしくは前記n側電極のいずれか一方の上に形成されていることを特徴とする請求項1記載の半導体発光素子。

【請求項4】 前記付加的な容量部はパッケージのリード間に形成されていることを特徴とする請求項1記載の半導体発光素子。

【請求項5】 前記p型電極とn側電極とは同一平面側に位置することを特徴とする請求項1記載の半導体発光素子。

【請求項6】 所定の基板上に形成された第1導電型の第1の半導体層と、該第1の半導体層の上部に形成された第2導電型の第2の半導体層と、該第2の半導体層を貫通して第1の半導体層に達する溝部と、該溝部の底部に露出した第1の半導体層に接して形成された第1の電極と、該第2の半導体層の上部に形成された第2の電極とから少なくとも構成される半導体発光素子であって、該第1の電極と該第2の電極の間に付加的な容量部が形成されたこと特徴とする半導体発光素子。

【請求項7】 前記付加的な容量部は、前記第1の電極と、前記第1の電極の上に形成された絶縁膜と、前記第2の電極から延長形成された電極配線部とにより構成されていることを特徴とする請求項6記載の半導体発光素子。

【請求項8】 前記付加的な容量部は、前記第1の電極と、前記第1の半導体層の上部で前記第1の電極とは異なる位置に前記第1の半導体層に接して形成された絶縁膜と、該絶縁膜の上部に前記第2の電極から延長形成された電極配線部と、前記第1の半導体層とにより構成されることを特徴とする請求項6記載の半導体発光素子。

【請求項9】 前記付加的な容量部は、前記第1の電極と、前記第1の半導体層の上部で前記第1の電極とは異なる位置に前記第1の半導体層に接するように前記第2の電極から延長形成された電極配線部と、前記第1の半導体層とから構成されることを特徴とする請求項6記載の半導体発光素子。

【請求項10】 前記第2の電極は透光性の電極であり、前記第2の電極から延長形成された電極配線部は前記透光性の電極から光が取り出せるように配置され、前記第2の電極と電気的に接続されていることを特徴とする請求項7、8、9のいずれかに記載の半導体発光素子。

【請求項11】 前記付加的な容量部は前記第2の電極と、前記第2の電極の上に形成された絶縁膜と、前記第1の電極から延長形成された電極配線部とにより構成されていることを特徴とする請求項6記載の半導体発光素子。

【請求項12】 前記絶縁性基板はサファイア基板であることを特徴とする請求項6又は11記載の半導体発光素子。

【請求項13】 前記第1および第2の電極は所定の配線基板もしくはヒートシンク上に形成された第1および第2の配線と突起物を介してそれぞれ接続され、前記サファイア基板側から光を取り出すことを特徴とする請求項12記載の半導体発光素子。

【請求項14】 前記第1の半導体層を第1のクラッド層、前記第2の半導体層を第2のクラッド層とし、該第1および第2のクラッド層の間に該第1および第2のクラッド層よりも禁制帯幅の小さい半導体からなる活性層をさらに形成したことを特徴とする請求項6記載の半導体発光素子。

【請求項15】 前記第1および第2の半導体層は窒化ガリウム系化合物半導体であることを特徴とする請求項6記載の半導体発光素子。

【請求項16】 次の各工程からなる半導体発光素子の製造方法。

(イ) 絶縁性基板上に第1導電型の第1の半導体層、活性層、第2導電型の第2の半導体層を少なくとも含む積層体を連続成長する工程

(ロ) 該第2の半導体層および該活性層を貫通して該第1の半導体層に達する溝部を形成する工程

(ハ) 該溝部の底部に、該第1の半導体層と接して第1の電極を形成する工程、

(ニ) 該第2の半導体層の上部に第2の電極を形成する工程

(ホ) 該第1の電極の上部及び該溝部の側壁部に絶縁膜を形成する工程

(ヘ) 該第2の電極から、該第1の電極の上部の絶縁膜に達する電極配線部を形成する工程

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は化合物半導体などからなる発光ダイオード(LED)、半導体レーザなどの半導体発光素子に関するもので、特にp-n接合を有する半導体発光素子およびその製造方法に係るものである。

【0002】

【従来の技術】 半導体発光ダイオード(LED)や半導体レーザ等の半導体発光素子は、半導体材料やその構造を選定することにより種々の波長、輝度、光強度を有した製品等が知られている。

【0003】 従来の半導体発光素子の一例として、窒化

ガリウム系化合物半導体 ( $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ :  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ) 発光素子の構造を図12に示す(特開平6-338632号公報)。この発光素子はサファイア基板101の上にn型層112とp型層114とを順に積層した構造を有しており、p型層114の一部をエッチングして、n型層112を露出させ、n型層112の上にn側電極105と、p型層114の上に薄膜の金属からなる透光性のp側電極107を形成している。p側電極107の上に形成された台座電極118およびn側電極105の上にボール162、161およびボンディングワイヤ79、81からなるワイヤボンディングを形成し、電流注入を行うことによって、pn接合での再結合発光が取り出すことができる。

#### 【0004】

【発明が解決しようとする課題】しかしながらこのような素子の信頼性について本発明者らが実験的な検討を重ねた結果、高い電圧を加えることにより容易に発光効率が極度に低下するなどの特性劣化が起こることが明らかになった。特に、人体で触れること、素子動作開始・停止のためのスイッチング、ソケットへの抜き差し、半田付け、駆動回路などで発生する瞬時の電圧(サージ)印加においてもこのような劣化が起こり、取り扱いに多大な注意を払わなければならないという問題があることが明らかになった。このような不具合は、絶縁物基板上に形成され、同一平面側にp側、n側の双方の電極を配置してなる発光素子について謙虚なことが明らかになった。特に薄膜の金属からなる透光性の電極を用いる発光素子においてこのような不具合が顕著に現れることも併せて明らかになった。

【0005】本発明はこのような事情を鑑みてなされたもので、その目的とするところは、瞬時の電圧(サージ)印加が生じた場合においても素子劣化を起こしにくく、取り扱いの容易な半導体発光素子およびその製造方法を提供することにある。

#### 【0006】

【課題を解決するための手段】上記目的を達成するために、この発明による半導体発光素子はp側電極とn側電極とを少なくとも具備する半導体レーザやLED等の半導体発光素子1であって、p側電極とn側電極との間に図1(a)に示すように付加的な容量部2を形成したことを第1の特徴とする。この容量部2の容量値 $C_{ex}$ は、図1(b)に示すような、半導体発光素子に内在する固有容量値 $C_i$ と同程度もしくはそれ以上であることが好ましい。ここで固有容量値 $C_i$ とは半導体発光素子1を等価コンダクタンス $G$ と等価容量 $C_i$ とで表現した場合の $C_i$ で、具体的にはpn接合の拡散容量、接合容量およびその他の浮遊容量の総称である。すなわち半導体発光素子のインピーダンス測定をした場合に等価コンダクタンス $G$ と分離されて求められる等価容量 $C_i$ のことを言う。 $C_{ex}$ の値を $C_i$ の値とほぼ同程度( $C_{ex} \sim C_i$ )

とする、又は $C_i$ の数倍以上とすることにより図3に示すようにサージ耐圧が向上する。これは対向した電極間に付加的な静電容量 $C_{ex}$ が並列接続され、素子のpn接合に固有な静電容量 $C_i$ に重畳されることにより、素子全体の静電容量が増加したことによる。すなわち静電容量が増すと、瞬時的な電圧印加に対して電流の応答が緩やかになり、電流を原因とする金属のマイグレーションや欠陥の増殖による素子の特性劣化が抑制されるからと考えられる。

10 【0007】この付加的な静電容量は図2、図4、図5に示すように、n側電極(第1の電極)105と、n側電極105の上部に絶縁膜106を介してp側電極(第2の電極)から延長形成された電極配線部108と、n側電極105と電極配線部108との間の絶縁膜106とで平行平板型コンデンサを構成してもよく、図6~9に示すようにp側電極108、128、137とp側電極の上部の絶縁膜106と、n側電極から延長形成された電極配線部105とによって平行平板型コンデンサを構成してもよい。また図11に示すようにパッケージの  
20 リード(外部電極)間に外部キャパシタ $C_{ex}$ を接続して構成してもよい。又これ以外の方法でもよく、いずれにしても、p側電極とn側電極の間に付加的な容量が形成されていれば本発明の目的は達成できる。

【0008】なお本発明の発光素子は、窒化ガリウム( $\text{GaN}$ )系化合物半導体、インジウム・ガリウム・アルミニウム・リン( $\text{InGaAlP}$ )系化合物半導体、ガリウム・アルミニウム・砒素( $\text{GaAlAs}$ )系化合物半導体などでも有効である。また、ホモ接合構造、シングルヘテロ(SH)構造、ダブルヘテロ(DH)構造の発光ダイオード(LED)、半導体レーザについて適用できることは言うまでもない。又これらのLEDや半導体レーザは所定の配線基板又はヒートシンク上に形成されたn側配線(第1の配線)およびp側配線(第2の配線)とn側電極およびp側電極とを半田ボール等の突起物を介して互いに接続するフリップチップ型でもよい。

40 【0009】本発明の第2の特徴は所定の基板上に形成された第1導電型の第1の半導体層と、第1の半導体層の上部に形成された第2導電型の第2の半導体層と、第2の半導体層を貫通して第1の半導体層に達する溝部と、溝部の底部に露出した第1の半導体層に接して形成された第1の電極と、第2の半導体層の上部に形成された第2の電極とから少なくとも構成される半導体発光素子であって、第1の電極と第2の電極の間に付加的な容量部が形成されたことである。第1導電型とはたとえばn型であり、第2導電型とは反対導電型のp型を言うが、pとnとを全く逆にしてもよいことはもちろんである。

50 【0010】この付加的な容量部は、図2、4、5に示すように第1の電極105と、第1の電極105の上に

形成された絶縁膜106と、第2の電極107から延長形成された電極配線部108とにより構成しても良い。また、図6～9に示すように第2の電極108、128、137と、第2の電極の上に形成された絶縁膜106と、第1の電極から延長形成された電極配線部105とにより構成してもよい。さらに、図10(a)に示すように、第1の半導体層102に接して形成された絶縁膜106と、絶縁膜106の上部に第2の電極107から延長形成された電極配線部108と、絶縁膜106の形成されていない第1の半導体層102の表面に接して形成された第1の電極105と、第1の半導体層102とにより構成しても良い。あるいは図10(b)に示すように付加的な容量部を第1の半導体層102に接するように第2の電極107から延長形成された電極配線部108と、電極配線部108とは異なる位置の第1の半導体層102の上部に接して形成された第1の電極105と、第1の半導体層102とから構成しても良い。

【0011】第2の特徴において、第2の電極107が透光性の電極である場合には、第2の電極107から延長形成された電極配線部108は透光性の電極107から光が取り出せるように（透光性の電極の開口率を大きくするように）配置され、第2の電極107と電気的に接続されていることが好ましい、特に、電極配線部108は図2および図4に示すように第2の半導体層104の周辺部に額縁形状に形成されていることが好ましい。ただし、電気的に第2の電極107と接続されれば良いので、必ずしも周辺（四辺）全部に形成される必要はない。本発明の第2の特徴は基板101がサファイア基板等の絶縁性基板の場合において、より効果的である。なぜならば、サージ耐圧の問題は、絶縁物基板上に形成された発光素子において顕著であるからである。またフリップチップ型とすればサファイア基板側から光が取り出せ、付加的な容量部を形成する面積を十分大きな値に確保することが可能となる。

【0012】本発明の第2の特徴における半導体発光素子はシングルヘテロ（SH）構造でもダブルヘテロ（DH）構造でもかまわない。DH構造の場合には、図2に示すように第1の半導体層を第1のクラッド層102、第2の半導体層を第2のクラッド層104とし、第1および第2のクラッド層の間に第1および第2のクラッド層よりも禁制帯幅 $E_g$ の小さい半導体からなる活性層103を形成すればよい。

【0013】本発明の第3の特徴は、以上で述べた半導体発光素子の製造方法に係り、具体的には次の各工程からなることを特徴とする。すなわち（イ）絶縁性基板上に第1導電型の第1の半導体層、故意には不純物を添加していない半導体（いわゆる「アンドープ半導体」）、又は所定の不純物密度にドーブした半導体等からなる活性層、第2導電型の第2の半導体層を少なくとも含む積層体を連続成長する工程、（ロ）第2の半導体層および

活性層を貫通して第1の半導体層に達する溝部を形成する工程（ハ）溝部の底部に、第1の半導体層と接して第1の電極を形成する工程、（ニ）第2の半導体層の上部に第2の電極を形成する工程、（ホ）第1の電極の上部及び溝部の側壁部に絶縁膜を形成する工程、および

（ヘ）第2の電極から、第1の電極の上部の絶縁膜に達する電極配線部を形成する工程を少なくとも有することを特徴とする。上記（ハ）の第1の電極を形成する工程と（ニ）の第2の電極を形成する工程はどちらを先に行ってもかまわない。第1の半導体層、活性層、第2の半導体層の連続成長はMOCVD法等のエピタキシャル成長技術を用いればよい。溝部の形成はRIE法等のドライエッチング又はウェットエッチング技術を用いればよい。

【0014】溝部の側壁部に絶縁膜を形成するは、全面に $\text{SiO}_2$ 等の絶縁膜をCVD法等により堆積し、RIE等の指向性の高いエッチングを行えば、側壁部に絶縁膜が残留する。このように本発明の第3の特徴によれば、極めて容易に半導体発光素子を製造することが可能である。

【0015】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0016】（第1の実施の形態）図2(a)は本発明の第1の実施の形態に係る短波長LEDの斜視図（傾斜図）で、図2(b)はその平面図（上面図）である。図2(c)は図2(b)に示したX-Y方向の断面図である。

【0017】本発明の第1の実施の形態に係る短波長LEDは、サファイア基板101の上に、n型の窒化ガリウム（ $\text{GaN}$ ）系半導体からなる第1のクラッド層（第1の半導体層）102、 $\text{GaN}$ 系半導体からなる活性層103、p型の $\text{GaN}$ 系半導体からなる第2のクラッド層（第2の半導体層）104が形成されている。n側電極（第1の電極）105は第2のクラッド層（p型クラッド層）104、活性層103、および第1のクラッド層（n型クラッド層）102の表面の一部をエッチングして形成した溝部（U溝）の底部に形成されている。溝部はほぼ垂直の側壁部を有している。透光性のp側電極（第2の電極）107はp型クラッド層104の上部に形成され、さらにその上に額縁形状の電極配線部108が形成されている。p側電極107は、たとえばITOや $\text{SnO}_2$ 等の透明電極又は、 $\text{Ni/Au}$ 等の透光性薄



膜で、第2のp側電極108は、Ti/Au等の金属である。電極配線部108はp側電極107をなるべく遮蔽しないように、すなわち開口率が大きくなるように形成されている。電極配線部108の形成されていない透光性のp側電極107を介して光が取り出される。

【0018】n側電極105の上部にはSiO<sub>2</sub>等の絶縁膜106が形成され、電極配線部108は第2のクラッド層104の上部からn側電極105の形成されている溝の底部にまで延長して形成されている。すなわち、電極配線部108、絶縁膜106、n側電極105により付加的な容量部（平行平板型コンデンサ）C<sub>ex</sub>が形成されている。溝部の底部の電極配線部108および電極配線部108が形成されていないn側電極105の表面がボンディングパッドを兼ね、それぞれにAu線等がワイヤボンディングされる。

【0019】このとき絶縁膜106を形成する材料、厚さ、およびn側、p側電極で挟まれる面積を制御することにより素子のサージ電圧に対する耐性が向上できる。これは対向した電極間が静電容量C<sub>ex</sub>を有し、この静電容量C<sub>ex</sub>が素子のpn接合に固有な静電容量C<sub>i</sub>（図1（b）参照）に付加されることにより、素子全体の静電容量が増加したことによる。すなわち静電容量が増すと、瞬間的な電圧印加に対して電流の応答が緩やかになり、電流を原因とする金属のマイグレーションや欠陥の増殖による素子の特性劣化が抑制されるからと考えられる。

【0020】絶縁膜の条件としては比誘電率 $\epsilon_r$ が3.9程度のSiO<sub>2</sub>で、対向電極面積を100 $\mu$ m角としたとき、絶縁膜の厚さを0.01 $\mu$ mから1 $\mu$ m程度にすることが好ましい。特に絶縁膜の厚さを0.1 $\mu$ m程度以下とすることが望ましい。また、BaTiO<sub>3</sub>（BTO）、SrTiO<sub>3</sub>（STO）など誘電率の高い材料を用いることによって、より厚い絶縁膜であってもサージ耐圧の向上が認められる。絶縁膜自身の絶縁破壊電圧を考慮すると、絶縁膜の厚さを一定の値よりも薄くすることには限界があるので、BTO、STO等の高誘電体を用いることは有効である。図3から明らかのようにC<sub>ex</sub>の値を大きくすれば大きくするほどサージ耐圧は向上する。C<sub>ex</sub>=0の場合、サージ耐圧が50V程度のLEDについて説明すればC<sub>ex</sub>=50pFで500V、C<sub>ex</sub>=100pFで1000V程度に改善される。ただし、あまりC<sub>ex</sub>の値を大きくしても、キャパシタC<sub>ex</sub>を構成する絶縁膜の絶縁破壊電圧以上には改善できないことはもちろんである。具体的なLEDの実装技術やコスト等を考慮すると、ボンディングパッドとなる溝底部の電極配線部108の面積、すなわちキャパシタC<sub>ex</sub>の対向電極の面積は100 $\mu$ m角程度が妥当である。したがって、現実的には、LEDの固有の容量C<sub>i</sub>の2～3倍程度のC<sub>ex</sub>が付加されれば、サージ耐圧の改善は可能であるので、C<sub>ex</sub>の値をC<sub>i</sub>の数倍程度に選定することが好

ましい。

【0021】本発明の第1の実施の形態では、GaN系半導体としてIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N化合物半導体を用いた。これは、その組成x、yは0 $\leq$ x $\leq$ 1、0 $\leq$ y $\leq$ 1とx+y $\leq$ 1を満たしている。第1の半導体層となるn型クラッド層（第1のクラッド層）102は、発光領域を形成するpin接合のn側を構成する。In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nの各パラメータの値は、発光させたい波長によって適宜調整されるが、例えば0 $\leq$ x $\leq$ 1、0 $\leq$ x $\leq$ 1好ましくは、0 $\leq$ x $\leq$ 0.3、0 $\leq$ y $\leq$ 1に選ばれる。n型とするためには、シリコン（Si）やセレン（Se）といった不純物を添加すればよいが、その不純物密度は1 $\times$ 10<sup>17</sup>cm<sup>-3</sup>～1 $\times$ 10<sup>19</sup>cm<sup>-3</sup>程度とすればよい。望ましくは、不純物密度を1 $\times$ 10<sup>18</sup>cm<sup>-3</sup>～5 $\times$ 10<sup>19</sup>cm<sup>-3</sup>とすればよく、約3 $\times$ 10<sup>18</sup>cm<sup>-3</sup>が典型値である。

【0022】GaN系半導体からなる活性層103は、発光領域の中心となる領域であり、いわゆるアンドープの層；Si、ゲルマニウム（Ge）等のドナーを形成する不純物がドーピングされたn型の層；亜鉛（Zn）、マグネシウム（Mg）、炭素（C）等のアクセプタを形成する不純物がドーピングされたp型の層；SiとZn、SiとMg、SiとZnとMg、あるいはSiとC等のドナーのアクセプタの両方を形成する不純物がドーピングされたn型あるいはp型の層である。活性層103のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nの各パラメータの値は、発光させたい波長によって適宜調整されるが、例えば0 $\leq$ x $\leq$ 1、0 $\leq$ y $\leq$ 1好ましくは、0 $\leq$ x $\leq$ 0.5、0 $\leq$ y $\leq$ 0.6に選ばれる。第2の半導体層となるp型のGaN系半導体からなる第2のクラッド層（p型クラッド層）104は、発光領域を形成するpin接合のp側を構成する。p型クラッド層104のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nの各パラメータの値は、n型クラッド層102及び活性層103との関係で、発光させたい波長によって適宜調整されるが、例えば0 $\leq$ x $\leq$ 1、0 $\leq$ y $\leq$ 1、好ましくは、0 $\leq$ x $\leq$ 0.3、0 $\leq$ y $\leq$ 1.0に選ばれる。また、p型とするために、Mg、ベリリウム（Be）、Znといった不純物が添加されている。その不純物密度は5 $\times$ 10<sup>17</sup>cm<sup>-3</sup>～2 $\times$ 10<sup>20</sup>cm<sup>-3</sup>が好ましい。より望ましくは5 $\times$ 10<sup>18</sup>cm<sup>-3</sup>～5 $\times$ 10<sup>19</sup>cm<sup>-3</sup>であり、約3 $\times$ 10<sup>19</sup>cm<sup>-3</sup>が典型的な値である。

【0023】なお、サファイア基板101とn型クラッド層102の間に、In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nバッファ層を形成すれば発光領域の結晶性が改善され、高効率発光が可能となる。バッファ層とn型クラッド層102の間に高不純物密度のn型In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nからなるn型コンタクト層を形成し、n型コンタクト層の上

10

20

30

40

50

部にn側電極105を形成してもよい。さらに、p側電極107とp型クラッド層104の間に高不純物密度のp型 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ からなるp型コンタクト層を形成すればオーミックコンタクト抵抗が低減し、発光効率が改善される。また絶縁膜106としてBTO、STO等の高誘電体を用いる場合には、周知のイオンミリング法等により高誘電体をパターニングすればよい。

【0024】次に図2に示す本発明の第1の実施の形態の短波長LEDの製造方法を説明する。

【0025】(a) まず所定の厚みの(0001)面サファイア基板101上にMOCVD法等を用いてn- $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ クラッド層102、アンドープ $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 活性層103、p- $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ クラッド層104を連続的に積層する。減圧MOCVD法で成長する場合は反応ガスとして、例えば $\text{Ga}(\text{CH}_3)_3$ 、 $\text{In}(\text{CH}_3)_3$ 、 $\text{Al}(\text{CH}_3)_3$ 、 $\text{Al}(\text{CH}_3)_3$ 及び $\text{NH}_3$ を用い、水素や窒素からなるキャリアガスとともに導入すればよい。反応圧力は、たとえば約1k~10kPaである。常圧MOCVDでもよい。このようにして、n型クラッド層102~p型クラッド層104までのGa<sub>0.5</sub>In<sub>0.5</sub>N半導体の積層体の連続成長を行う。その際、反応ガスの各々の成分比率を切り替えて、各層の組成比を調節すればよい。又、不純物を添加するためには、適宜モノシラン( $\text{SiH}_4$ )やビスシクロペンタジエニルマグネシウム( $\text{Cp}_2\text{Mg}$ )等を導入すればよい。

【0026】(b) 次に、その上部にn型クラッド層102~p型クラッド層104が連続的に堆積されたサファイア基板101をCVD炉から取り出し、p- $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ クラッド層104の上部にスパッタリング法又はCVD法を用いて酸化膜( $\text{SiO}_2$ 膜)を形成する。そして所定のフォトリソグラフィ技術により酸化膜の上にフォトレジストのパターンを形成し、酸化膜を選択的にエッチングする。この選択エッチングされた酸化膜およびこの上部のフォトレジストからなる2層マスクをエッチング用マスクとして用いて、p-クラッド層104、アンドープ活性層103、およびnクラッド層102の表面の一部をエッチングし、U溝を形成し、U溝の底部にn型クラッド層102を露出させる(積層体としてn型コンタクト層を形成している場合は、さらに深くエッチングしてn型コンタクト層を露出させる)。

【0027】(d) 酸化膜/フォトレジストからなるエッチング用マスク材を除去後、基板を洗浄し、所定のスライトエッチング等を行い透光性のp側電極107を形成する。この工程はいわゆるリフトオフ法を用いてITO膜等の透光性のp側電極107をp型クラッド層104の上部のみに選択的に形成する。ITOはスパッタリング又はCVD法等で堆積すればよい。

【0028】(e) 次に基板を洗浄し、スパッタリング

法又は真空蒸着法により、Ti、Al、Ni等のn型電極105用の金属材料を全面に堆積する。そしてフォトリソグラフィ法、あるいはリフトオフ法を用いてU溝の底部にn側電極105のパターニングを行う。リフトオフ法の場合は、金属薄膜の堆積前にフォトレジストパターンを形成することはもちろんである。

【0029】(f) 次に380~300℃以下の低温で $\text{SiO}_2$ 膜106を全面にCVDする。プラズマCVDや光CVDを用いれば150℃以下の低温でCVD可能であるので好ましい。そしてフォトリソグラフィ法およびRIE法を用いてp側電極107の上部の $\text{SiO}_2$ 膜106およびn側電極105の上部の一部の $\text{SiO}_2$ 膜106を選択的に除去する。この選択エッチングの際に、指向性の高いRIEを用いればU溝側壁の $\text{SiO}_2$ 膜は残存する(なお、図2(a)ではU溝側壁の $\text{SiO}_2$ 膜106をパターニングされているように表現されているが、側壁全面に残っていかまわらないことはもちろんである)。

【0030】(g) 次にスパッタリング法又はEB蒸着法等によりTi/Au等の金属を堆積し、フォトリソグラフィ法およびRIE法により図2(a)に示すような形状に電極配線部108をパターニングする。U溝の側壁全面に $\text{SiO}_2$ を残存させておけば、U溝の側壁全面にTi/Au等の電極材料の薄膜パターンが形成されてもかまわない。

【0031】(h) このようにして、短波長LEDの基本構造が完成した後、ダイヤモンドカッター等で適当な大きさに切り分けて多数のチップを得る。そしてこれらのチップを所定のステムにマウントし、ワイヤボンディング後モールドイングすれば本発明の第1の実施の形態の短波長LEDが完成する。

【0032】付加的な容量部Cexを形成する絶縁膜106として、 $\text{Ta}_2\text{O}_5$ 、STO( $\text{SrTiO}_3$ )、BTO( $\text{BaTiO}_3$ )、BSTO( $\text{BaSrTiO}_3$ )、PZT( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )等の高誘電体、強誘電体を用いれば絶縁膜の厚さを厚く保ったまま、より大きなCexが得られ、サージ耐圧はさらに向上する。

【0033】(第2の実施の形態)図4は本発明の第2の実施の形態に係る多層反射膜(ブラッグ型反射膜)を具備するDH型LED構造を示す。図4において、n-GaAs基板201の上に、厚さ $\lambda/4n$ とした高屈折率膜n- $\text{Al}_{0.5}\text{Ga}_{0.5}$ 0.5In<sub>0.5</sub>P及び低屈折率膜n- $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ の周期構造からなるブラッグ型半導体多層反射膜202が形成されている。この上にn- $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(第1の半導体層)102、アンドープ( $\text{Al}_{0.45}\text{Ga}_{0.55}$ )0.5In<sub>0.5</sub>P活性層103、p- $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層(第2の半導体層)104からなるDH構造が形成されている。この $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ クラッド層104の上にITO膜又はNi/Au膜からなる透光性のp側電

極（第2の電極）107が形成されている。p-Al<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層104、アンドープ（Al<sub>0.45</sub>Ga<sub>0.55</sub>）<sub>0.5</sub>In<sub>0.5</sub>P活性層103を貫通し、n-Al<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層102に達するU溝の底部にAuGe合金からなるn側電極（第1の電極）105がn-Al<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層102と電極的に接続するように形成されている。電極配線部108は、Ti/Au等の金属である。電極配線部108の形成されていないp側電極（透明電極）107を介して光が取り出される。

【0034】n側電極105の上にはSiO<sub>2</sub>膜の絶縁膜106が形成され、電極配線部108は第2のクラッド層104の上部からU溝の側壁を介してn側電極105の形成されているU溝の底部にまで延長して形成されている。すなわち電極配線部108、絶縁膜106、n側電極105により付加的な容量部C<sub>ex</sub>が形成されている。U溝の底部の電極配線部108および電極配線部108が形成されていないn側電極105の表面がボンディングパッドを兼ね、それぞれにAu線等のボンディングワイヤがワイヤボンディングされる。第1の実施の形態と同様に付加的な容量部（キャパシタ）C<sub>ex</sub>を形成することにより素子全体の静電容量が増大し、サージ耐圧が向上する。C<sub>ex</sub>をLEDに固有な容量C<sub>i</sub>の10倍程度とすることにより、サージ耐圧は約10倍程度の値となった。絶縁膜106の厚さはSiO<sub>2</sub>膜の場合は0.01μm～1μm程度が好ましいが、BSTO、BTOやSTOの高誘電体を用いれば1μm以上とすることも可能である。BSTOを用いる場合は、電極配線部108をタングステン（W）で形成し、WをCF<sub>4</sub>を用いたRIEでパターンニング後、このWをマスクとして過酸化水素、アンモニア、EDTAの混合水溶液等でエッチングすればよい。あるいはイオンミリングで直接パターンニングしてもよい。

【0035】本発明の第2の実施の形態はInGaAlP系のLEDに限られるものではなく、GaAlAs系等他のLEDにも適用可能であり、ホモ接合、SH接合、DH接合を問わないことはもちろんである。

【0036】（第3の実施の形態）図5は本発明の第3の実施の形態に係る青色半導体レーザの概略を示す斜視図である。図5に示すように、本発明の青色LEDは

（0001）面サファイア基板101の上にn型Ga<sub>0.9</sub>Nクラッド層（第1の半導体層）102が形成され、その上にアンドープIn<sub>x</sub>Ga<sub>1-x</sub>N活性層103が形成されている。活性層103の上にはp型Ga<sub>0.9</sub>Nクラッド層（第2の半導体層）104が形成され、p型クラッド層104の上部にはn型Ga<sub>0.9</sub>N電流ブロック層125が形成されている。電流ブロック層125の間にはp型クラッド層104に接して第2のp型Ga<sub>0.9</sub>Nクラッド層126が形成されている。第2のp型クラッド層126および電流ブロック層125の上部にはp<sup>+</sup>Ga<sub>0.9</sub>Nコン

クト層124が形成されている。

【0037】p<sup>+</sup>コンタクト層124、電流ブロック層125、p型クラッド層104、活性層103を貫通してU溝が形成され、U溝の底部にはTi/Auなどからなるn側電極（第1の電極）105が形成されている。n側電極105の上にはSiO<sub>2</sub>等の絶縁膜106が形成されている。p<sup>+</sup>コンタクト層124の上部にはNi/Auなどからなるp側電極（第2の電極）108が形成され電極配線部を兼ね、U溝の側壁を介してU溝底部まで延長されている。U溝底部においてp側電極（電極配線部）108、絶縁膜106、n側電極105とにより付加的な容量部C<sub>ex</sub>が形成されている。付加的な容量部（キャパシタ）の容量C<sub>ex</sub>の値を半導体レーザ固有の内部容量C<sub>i</sub>の10倍程度に選べば、サージ耐圧は10倍程度になる。絶縁膜としてBTOやPZT等の高誘電体、強誘電体を選べば数kV以上のサージ耐圧を得ることができる。

【0038】図5のサファイア基板101とn型クラッド層102の間にGa<sub>0.9</sub>N、AlGa<sub>0.9</sub>N、AlN等のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nからなるバッファ層を形成すれば発光領域の結晶性が改善され発光効率が向上する。バッファ層とn型クラッド層102の間にn型Ga<sub>0.9</sub>N等のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nからなるn型コンタクト層を形成し、n型コンタクト層上部にn側電極を形成してもよい。さらにAlGa<sub>0.9</sub>N等のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nからなる活性層より禁制帯幅が大きく、屈折率の小さなクラッド層を形成すれば活性層での注入キャリアと光の閉じ込めが強められ発振閾値が低減する。活性層103はInGa<sub>0.9</sub>N、Ga<sub>0.9</sub>N、あるいは井戸層にこれらを含む多重量子井戸（MQW）構造でもよく、これらの構造の採用により、閾値の低減や偏光比の増大等の特性が向上する。p型クラッド層104をAlGa<sub>0.9</sub>N等のIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>Nからなる層を用いて形成することで電流注入が均一になり特性が向上する。n型クラッド層102およびp型クラッド層104の組成x、yを活性層の禁制帯幅より大きくなるように選ぶことはもちろんである。

【0039】（第4の実施の形態）図6は本発明の第4の実施の形態に係る短波長LEDの断面図である。本発明の第4の実施の形態に係る短波長LEDは、サファイア基板101の上に、厚さ10～200nmのGa<sub>0.9</sub>N、AlN、GaAlNなどからなるバッファ層132、第1の半導体層となる厚さ4μmのSiドープn型Ga<sub>0.9</sub>Nからなるn型コンタクト層133、厚さ2.5nmのSiドープIn<sub>0.3</sub>Ga<sub>0.7</sub>N井戸層からなる活性層103、厚さ40nmのMgドープp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nからなるキャップ層134、第2の半導体層となる厚さ0.5μmのMgドープp型Ga<sub>0.9</sub>Nからなるp型コンタクト層135が形成されている。透光性のp側電極107はp型コンタクト層134の上部に形成され、さらに

その上に額縁形状のp側電極パッド128が形成されている。p側電極107とp側電極パッド128とで第2の電極を構成している。p側電極107は、たとえばITOや $\text{SnO}_2$ 等の透明電極又は、 $\text{Ni}/\text{Au}$ 等の透光性薄膜で、p側電極パッド128は、 $\text{Ti}/\text{Au}$ 等の金属である。p側電極パッド128はボンディングパッド部となる部分の面積を確保しつつ、p側電極107をなるべく遮蔽しないように、すなわち開口率が大きくなるように形成されている。p側電極パッド128の形成されていない透光性のp側電極を介して光が取り出される。

【0040】第1の電極となるn側電極105はp型コンタクト層135、キャップ層134、活性層103を貫通し、さらにn型コンタクト層133の表面の一部をエッチングして形成したU溝の底部においてn型コンタクト層と接している。U溝はほぼ垂直の側壁部を有し、側壁部にはp側電極128の上部等のU溝開口部の周辺部まで延長形成されたパッシベーション用絶縁膜106が形成されている。すなわちこのパッシベーション用絶縁膜106中に開孔されたコンタクトホールを介してn側電極105とn型コンタクト層133とが接触している。n側電極105はU溝開口部の周辺にまで延長形成された電極配線部を有し、U溝開口部の周辺の平坦部に位置する部分がn側電極105用のボンディングパッド部となっている。n側電極105用のボンディングパッド部にはn側のボンディングワイヤ74が接続され、p側電極パッド128にはp側のボンディングワイヤ73が接続されている。さらに、図6に示す用にU溝開口部の周辺の平坦部において、n側電極からの電極配線部105とパッシベーション用絶縁膜106とp側電極パッド128とにより平行平板型コンデンサ $C_{ex}$ を構成し、付加的な容量部が形成されている。すなわちパッシベーション用絶縁膜106がキャパシタ用絶縁膜を兼ねている。

【0041】このときパッシベーション用絶縁膜106を形成する材料、厚さ、およびn側、p側電極で挟まれる面積を制御することにより所望の容量 $C_{ex}$ の付加的な容量部（キャパシタ）を実現し、素子のサージ電圧に対する耐性が向上できる。すなわち、キャパシタの静電容量 $C_{ex}$ が素子のpn接合に固有な静電容量 $C_i$ に付加されることにより、素子全体の静電容量が増加するため、瞬間的な電圧印加に対して電流の応答が緩やかになり、電流を原因とする金属のマイグレーションや欠陥の増殖による素子の特性劣化が抑制できる。

【0042】次に図6に示す本発明の第4の実施の形態の短波長LEDは以下に示すように製造すればよい。

【0043】（イ）まず所定の厚みの（0001）面サファイア基板101上にMOCVD法等を用いてバッファ層132、n-GaNコンタクト層133、アンドー

0.8 Nキャップ層134、p-GaNコンタクト層135を連続的に積層する。

【0044】（ロ）次に、その上部にバッファ132～p型コンタクト層135が連続的に堆積されたサファイア基板101をCVD炉から取り出し、p-GaNコンタクト層135の上部にスパッタリング法又はCVD法を用いて酸化膜（ $\text{SiO}_2$ 膜）を形成する。そして所定のフォトリソグラフィ技術により酸化膜の上にフォトレジストのパターンを形成し、酸化膜を選択的にエッチングする。この選択エッチングされた酸化膜およびこの上部のフォトレジストからなる2層マスクをエッチング用マスクとして用いて、p型コンタクト層135、キャップ層134、活性層103、およびnコンタクト層133の表面の一部をエッチングし、U溝を形成し、U溝の底部にn型コンタクト層133を露出させる。

【0045】（ハ）酸化膜/フォトレジストからなるエッチング用マスク材を除去後、基板を洗浄し、所定のスライトエッチング等を行いp側電極107を形成する。この工程はいわゆるリフトオフ法を用いてITO膜等のp側電極107をp型コンタクト層135の上部のみに選択的に形成する。ITOはスパッタリング又はCVD法等で堆積すればよい。次いで、スパッタリング法又はEB蒸着法等により $\text{Ti}/\text{Au}$ 等の金属を堆積し、フォトリソグラフィ法を併用しRIE法により図6に示すような形状に、光透過用の開口部（窓部）を有したp側電極パッド128をパターンニングする。

【0046】（ニ）次に380～300℃以下の低温で $\text{SiO}_2$ 膜106を全面にCVDする。プラズマCVDや光CVDを用いれば150℃以下の低温でCVD可能であるので好ましい。そしてフォトリソグラフィ法およびRIE法を用いてp側パッド128の上部の $\text{SiO}_2$ 膜106およびU溝の底部の $\text{SiO}_2$ 膜106を選択的に除去する。この選択エッチングは指向性の高いRIEを用いればU溝側壁の $\text{SiO}_2$ 膜は残存し、U溝の底部にコンタクトホールが開孔する。

【0047】（ホ）次にスパッタリング法又はEB蒸着法等によりTi, Al, Ni等の金属を堆積し、フォトリソグラフィ法およびRIE法により図6に示すような形状にn側電極およびn側電極からの電極配線部105をパターンニングする。

【0048】（ハ）このようにして、短波長LEDの基本構造が完成した後、ダイヤモンドカッター等で適当な大きさに切り分けて多数のチップを得る。そしてこれらのチップを所定のステムにマウントし、ワイヤボンディング後モールドングすれば本発明の第4の実施の形態の短波長LEDが完成する。

【0049】以上の説明で明らかなように、本発明の第4の実施の形態に係る短波長LEDは製造プロセスが容易であり、歩留りが高い利点を有する。付加的な容量部 $C_{ox}$ を形成する絶縁膜106として、 $\text{Ta}_2\text{O}_5$ , ST

10

20

30

40

50

O, BTO, BSTO, PZT等の高誘電体、強誘電体を用いれば絶縁膜の厚さを厚く保ったまま、より大きなCexが得られ、サージ耐圧はさらに向上する。

【0050】(第5の実施の形態)図7は本発明の第5の実施の形態に係る短波長LEDの断面図である。本発明の第4の実施の形態に係る短波長LEDの断面図である。本発明の第5の実施の形態に係る短波長LEDはフリップチップ型LEDであり、サファイア基板101の上に、厚さ10~200nmのGaN, AlN, GaAlNなどからなるバッファ層132, 第1の半導体層となる厚さ4μmのSiドープn型GaNからなるn型コンタクト層133, 厚さ2.5nmのSiドープIn<sub>0.3</sub>Ga<sub>0.7</sub>N井戸層からなる活性層103, 厚さ40nmのMgドープp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nからなるキャップ層134, 第2の半導体層となる厚さ0.5μmのMgドープp型GaNからなるp型コンタクト層135が形成されている。なお、本発明の第5の実施の形態はフリップチップ型LEDであるため、図7は上下関係を全て逆に示していることに留意すべきである。そして第2の電極となるp側電極137はp型コンタクト層135の上部に(図7ではp型コンタクト層135の下部に)形成されている。p側電極137は、たとえばNi/Au, Ti/Au等の金属である。

【0051】第1の電極となるn側電極105はp型コンタクト層135, キャップ層134, 活性層103を貫通し、さらにn型コンタクト層133の表面の一部をエッチングして形成したU溝の底部においてn型コンタクト層133と接している。U溝はほぼ垂直の側壁部を有し、側壁部にはp側電極137の上部まで延長形成された絶縁膜106が形成されている。すなわちこの絶縁膜106中に開孔されたコンタクトホールを介してn側電極105とn型コンタクト層133とが接触している。n側電極105はU溝開口部の周辺の平坦部にまで延長形成された電極配線部を有している。そしてp側電極137と絶縁膜106とn側電極からの電極配線部105とにより平行平板型コンデンサCexからなる付加的な容量部が形成されている。

【0052】図7に示すように本発明の第5の実施の形態に係るフリップチップ型LEDは突起物(半田ボール)166を介してp側電極137と配線基板173上のp側配線(第2の配線)171とが接続されている。また配線基板173上のn側配線(第1の配線)172とn側電極105とは突起物(半田ボール)167を介して電気的に接続されている。突起物166, 167は半田ボールに限られず、他の金属等の高伝導物質、金属ペースト、導電性接着剤等でもよいことはもちろんである。このようにフリップ配置された結果、発光領域で発光した光は図7に示すようにサファイア基板101側から取り出せるため開口率は100%であり、電極による遮蔽の心配はない。さらにp側電極137の方向に出た

光も、p側電極137により反射され、サファイア基板側から取り出せるので外部量子効率が高くなる。

【0053】本発明の第5の実施の形態に係るフリップチップ型LEDでは、光取り出し効率の低下の心配がないので、付加的な容量部Cexの面積化が容易で、大容量のキャパシタが担保できる利点がある。すなわち、絶縁膜106を形成する材料、厚さ、およびn側、p側電極で挟まれる面積の選択の自由度が大きく所望の容量Cexの付加的な容量部(キャパシタ)を実現し、素子のサージ電圧に対する耐性が向上できる。第1~第4の実施の形態と同様にキャパシタの静電容量Cexが素子のpn接合に固有な静電容量Ciに付加されることにより、素子全体の静電容量が増加し、瞬間的な電圧印加に対して電流の応答が緩やかになり、電流を原因とする金属のマイグレーションや欠陥の増殖による素子の特性劣化が抑制できる。付加的な容量部Coxを形成する絶縁膜106として、Ta<sub>2</sub>O<sub>5</sub>, STO, BTO, BSTO, PZT等の高誘電体、強誘電体を用いれば絶縁膜の厚さを厚く保ったまま、より大きなCexが得られ、サージ耐圧はさらに向上する。

【0054】また従来のフリップチップ型LEDはU溝の底部のn側電極に対して半田ボールを接続していたので、p側の半田ボールに比してn側の半田ボールを極めて大きくしなければならなかったが、本発明の第5の実施の形態によれば、図7に示すように、薄い半田ボールの採用が可能である。又、U溝の位置に正確に半田ボールを配置する必要もないので、配線基板173上へのマウント工程も簡単になる。

【0055】(第6の実施の形態)図8は本発明の第6の実施の形態に係る短波長半導体レーザの断面図である。本発明の第6の実施の形態に係る短波長半導体レーザは、サファイア基板101の上に、厚さ10~200nmのGaN, AlN, GaAlNなどからなるバッファ層132, 厚さ4μmのSiドープn型GaNからなるn型コンタクト層133, 第1の半導体層となる厚さ300nmのSiドープn型Ga<sub>0.85</sub>Ga<sub>0.15</sub>Nからなるn型クラッド層102, 多重量子井戸(MQW)構造の活性層143, 第2の半導体層となる厚さ300nmのMgドープp型Ga<sub>0.85</sub>Ga<sub>0.15</sub>Nからなるp型クラッド層104, 厚さ0.5μmのMgドープp型GaNからなるp型コンタクト層135が形成されている。ここで活性層143はn型クラッド層102に接した厚さ100nmのノンドープGaNからなる第1の光ガイド層、第1の光ガイド層に接したMQW構造層、MQW構造層に接した厚さ40nmのMgドープp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nからなるキャップ層およびキャップ層とp型クラッド層104との間の厚さ100nmのMgドープp型GaNからなる第2の光ガイド層とから構成されている。MQW構造は厚さ2nmのノンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>N井戸層と、厚さ4nmのノンドープIn<sub>0.05</sub>Ga

0.95N層とのペアを10周期繰り返した構造である。p型コンタクト層135とp型クラッド層104は幅 $3\mu\text{m}$ のストライプとなるようにRIE法等によって周辺を除去し、図8に示すようなリッジを形成している。

【0056】リッジを形成している凹部の底部からさらにn型コンタクト層133に達する溝部(U溝)が形成され、溝部の底部においてn側電極(第1の電極)105とn型コンタクト層133が互いに接触している。この溝部の側壁面およびリッジの周辺の凹部の底面および側面には $\text{SiO}_2$ 膜や $\text{Si}_3\text{N}_4$ 膜等の絶縁膜146が形成されている。リッジの上面の絶縁膜146は除去され、p型コンタクト層135とp側電極(第2の電極)108が互いに接触している。p側電極108の上部にはキャパシタ絶縁膜106が形成され、さらにこの上に溝部の底部から延長して形成されたn側電極からの電極配線部105が配置されている。つまりリッジを構成しているp型コンタクト層135の上部にp側電極108、キャパシタ絶縁膜106およびn側電極からの電極配線部105とから成る付加的な容量部Cexが形成されている。p側電極108の上部の一部のキャパシタ絶縁膜106は除去され、この除去された部分にp側のボンディングワイヤ73が接続されている。一方n側電極105にはn側のボンディングワイヤ74が接続されている。

【0057】図8に示す本発明の第6の実施の形態に係る半導体レーザは付加的な容量部Cexの製造プロセスが容易で、しかも付加的な容量部Cexの面積化も容易である。また放熱性が良いので、付加的な容量部Cexの効果によるサージ耐圧の向上とあいまって長期信頼性が向上する。付加的な容量部Cexを形成する絶縁膜106として、 $\text{Ta}_2\text{O}_5$ 、STO、BTO、BSTO、PZT等の高誘電体、強誘電体を用いれば絶縁膜の厚さを厚く保ったまま、より大きなCexが得られ、サージ耐圧はさらに向上する。

【0058】(第7の実施の形態)図9は本発明の第7の実施の形態に係るフリップチップ型短波長半導体レーザの断面図である。本発明の第7の実施の形態に係るフリップチップ型短波長半導体レーザは、サファイア基板101の上に、厚さ10~200nmのGa<sub>0.95</sub>N、Al<sub>0.05</sub>N、GaAlNなどからなるバッファ層132、厚さ4 $\mu\text{m}$ のSiドープn型Ga<sub>0.95</sub>Nからなるn型コンタクト層133、厚さ300nmのSiドープn型Ga<sub>0.85</sub>Ga<sub>0.15</sub>Nからなるn型クラッド層(第1の半導体層)102、多重量子井戸(MQW)構造の活性層143、厚さ300nmのMgドープp型Ga<sub>0.85</sub>Ga<sub>0.15</sub>Nからなるp型クラッド層(第2の半導体層)104、厚さ1.5 $\mu\text{m}$ のSiドープn型Ga<sub>0.95</sub>Nからなる電流ブロック層125および厚さ1 $\mu\text{m}$ のMgドープp型Ga<sub>0.95</sub>Nからなるp型コンタクト層135が形成されている。ここで図9はフリップチップ配置であるので上下関係が逆に記載

されている点に留意されたい。またp型コンタクト層135は電流ブロック層125中に開口された幅 $\mu\text{m}$ のストライプ状の窓部を介してp型クラッド層104に接している。図9に示す活性層143はn型クラッド層102側から順に、厚さ100nmのノンドープGa<sub>0.95</sub>Nからなる第1の光ガイド層、MQW構造層、厚さ40nmのMgドープp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nからなるキャップ層および厚さ100nmのMgドープp型Ga<sub>0.95</sub>Nからなる第2の光ガイド層とから構成され、第2の光ガイド層がp型クラッド層104に接している。MQW構造は厚さ2nmのノンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>N井戸層と、厚さ4nmのノンドープIn<sub>0.05</sub>Ga<sub>0.95</sub>N層とのペアを10周期繰り返した構造である。

【0059】p側電極(第2の電極)137はp型コンタクト層134の上部に形成されている。p側電極137は、たとえばNi/Au、Ti/Au等の金属を用いればよい。n側電極(第1の電極)105はp型コンタクト層135、電流ブロック層125、p型クラッド層104、活性層143、n型クラッド層102を貫通し、さらにn型コンタクト層133の表面の一部をエッチングして形成したU溝の底部においてn型コンタクト層と接している。U溝はほぼ垂直の側壁部を有し、側壁部にはp側電極137の上部まで延長形成された絶縁膜106が形成されている。すなわちこの絶縁膜106中に開孔されたコンタクトホールを介してn側電極105とn型コンタクト層133とが接触している。n側電極105はU溝開口部の周辺の平坦部にまで延長形成された電極配線部105を有している。そしてp側電極137と絶縁膜106とn側電極からの電極配線部105とにより平行平板型コンデンサからなる付加的な容量部Cexが形成されている。

【0060】図9に示すように本発明の第7の実施の形態に係るフリップチップ型半導体レーザは突起物(半田ボール)166を介してp側電極137とヒートシンク174上のp側配線(第2の配線)171とが接続されている。またヒートシンク174上のn側配線(第1の配線)172とn側電極105とは突起物(半田ボール)167を介して電気的に接続されている。突起物166、167は半田ボール以外の金属や金属ペースト、導電性接着剤でもよい。

【0061】本発明の第7の実施の形態に係るフリップチップ型半導体レーザは、付加的な容量部(キャパシタ)Cexの面積化が容易で、大容量のキャパシタが担保できる利点がある。すなわち、絶縁膜106を形成する材料、厚さ、およびn側、p側電極で挟まれる面積の選択の自由度が大きく所望の容量Cexのキャパシタを実現し、素子のサージ電圧に対する耐性が向上できる。第1~第6の実施の形態と同様にキャパシタの静電容量Cexが素子のpn接合に固有な静電容量Ciに付加されることにより、素子全体の静電容量が増加し、瞬間的な電



圧印加に対して電流の応答が緩やかになり、電流を原因とする金属のマイグレーションや欠陥の増殖による素子の特性劣化が抑制できる。付加的な容量部Coxを形成する絶縁膜106として、Ta<sub>2</sub>O<sub>5</sub>、STO、BTO、BSTO、PZT等の高誘電体、強誘電体を用いれば絶縁膜の厚さを厚く保ったまま、より大きなCexが得られ、サージ耐圧はさらに向上する。

【0062】図9に示す構造によれば、n側電極105とn側配線172との接続が薄い半田ボール167で可能となる(U溝の底部にのみn側電極105がある場合には、極めて厚い半田ボールや構造体でn側電極105とn側配線172とを接続する必要があるが、図9に示す構造では、そのような厚い半田ボール等は不要である)。さらに、半導体レーザとヒートシンクの間に隙間ができにくく、放熱が良好である。また、本発明の第7の実施の形態によれば、半田付けの段差が小さく、水平方向の位置マージンが大きい(U溝の底部に半田ボールを位置合わせする必要がない)ことからマウントが容易であるという利点を有する。

【0063】(第8の実施の形態)図10は本発明の第8の実施の形態に係り、付加的な容量部(キャパシタ)Cexの他の構成例を示す。すなわち、本発明のキャパシタCexは第1～第7の実施の形態に示したように電極配線部108、絶縁膜106、n側電極105とのサンドイッチ構造(平行平板型コンデンサ)、又はp側電極108、128、137、絶縁膜106、n側電極からの電極配線部105とのサンドイッチ構造に限られるものではなく、図10(a)に示すように、電極配線部108と、n側電極105が形成されているn型半導体層102とが絶縁膜106をはさんでなる部分を少なくとも一部に有するような構造でも実現できる。あるいは図10(b)に示すように電極配線部108の一部がn型半導体層102の表面の少なくとも一部に直接接合した金属・半導体接合構造によっても同様の効果が得られる。すなわち図10(b)はn型半導体層102の表面の異なる場所に電極配線部108とn側電極105が形成された構造である。

【0064】図10(a)はMOS接合型のキャパシタであり、図10(b)は電極材料を選べば、ショットキー接合型のキャパシタとなる。さらにキャパシタCexの値を大きくしたい場合DRAMに用いられているようなトレンチ型キャパシタを形成すればよい。すなわち、n型半導体層102の内部にトレンチを形成し、このトレンチ内部にキャパシタを形成すればよい。つまり本発明の付加的な容量部(キャパシタ)は平行平板型コンデンサに限られず、円筒形やその他の形状のものでもよいのである。

【0065】(第9の実施の形態)図11(a)および(b)は本発明の第9の実施の形態に係り、付加的な容量部Cexをパッケージに形成した場合である。図11

(a)はリード61の上にLEDや半導体レーザ等の半導体発光素子1が導電性接着材等でそのn側電極をリード61に接して固定されている。リード62はボンディングワイヤ71により半導体発光素子1のp側電極と接続されている。図11(a)に示すようにn側リード61とp側リード62の間に付加的な容量部Cexを形成することによりサージ耐圧が増大する。この場合は発光素子の構造に制限されることなく容量値Cexおよび耐圧を選択できるので、発光素子の内部容量Ciに対し100倍以上のCexも容易に選定できる。したがって、1000V以上のサージ耐圧も容易に実現できる。

【0066】図11(b)はアルミナ等のセラミックパッケージ66上に付加的な容量部(キャパシタ)Cexを形成した場合である。図11(b)において厚さ0.1～0.2mm程度のCu配線68の上にLEDや半導体レーザ等の半導体発光素子1がマウントされている。Cu配線68はアルミナ基板66に焼結(直接接合)されその表面は5～20μm程度の厚さにAuメッキされている。Cu配線68には発光素子1のn側電極が接続されている(本発明の第9の実施の形態においては、n側電極とp側電極とは同一平面側から取り出す必要はなく、半導体発光素子の異なる主表面側から、それぞれn側電極およびp側電極を取り出す構造であってもかまわない)。発光素子1のp側電極はAuメッキされたCu配線69とボンディングワイヤ72により接続されている。Cu配線69はCu配線68と電気的に相互に絶縁され、直交方向に形成されている。Cu配線69もアルミニウム基板に直接接合されているが、Cu配線68との直交部分はSiO<sub>2</sub>膜266により絶縁されている。Cu配線68と69とがリード(外部電極)を兼ねている。SiO<sub>2</sub>膜266の上部は厚さ10μm程度のAl膜ブリッジ267が形成されている。Al膜ブリッジの代わりに他の金属薄膜を用いても良く、たとえばAu膜ブリッジ267としてもよい。Al膜ブリッジ267とSiO<sub>2</sub>膜266とCu配線68で付加的な容量部(キャパシタ)Cexを構成するのであるが、このキャパシタCexの面積やSiO<sub>2</sub>膜266の厚さは広い自由度で選定できる。図11(b)に示すような構造にすることにより半導体素子1の構造(面積)に制限されず、任意にCexの値を選定できるので、1000V以上のサージ耐圧が容易に実現できる。

【0067】また、図11(a)および(b)の構造はリードないしCu配線の数を増し、発光素子のn側電極に対してもボンディングワイヤを接続できるようにすれば、発光素子のp側電極、n側電極が同一平面側にある構造に対しても適用できる。したがって、本発明の第9の実施の形態はp側電極、n側電極の配置に無関係に適用できる。つまり第9の実施の形態は適用できる発光素子の範囲が極めて広く、かつサージ耐圧も高い特徴を有する。

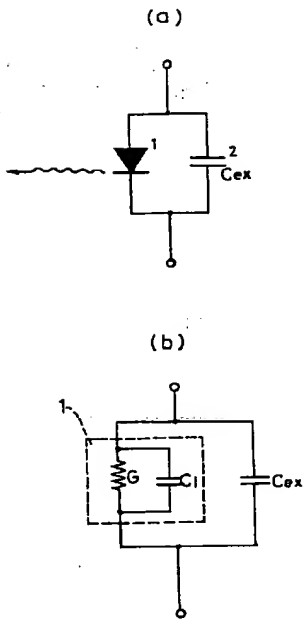
61, 62 リード

267 Al膜ブリッジ

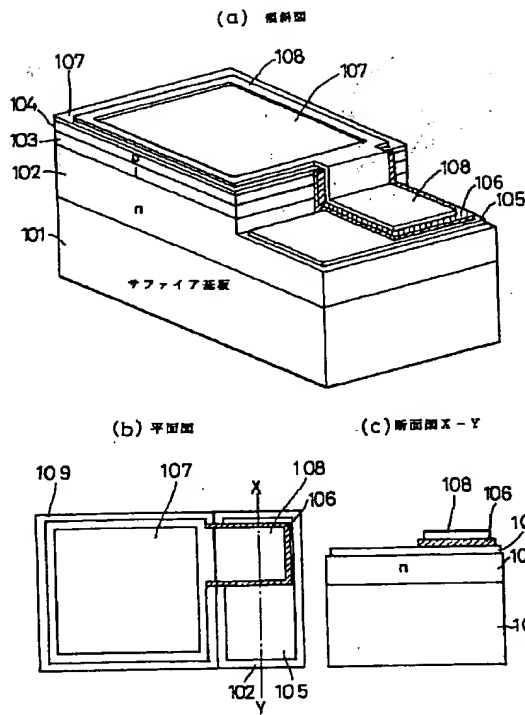
A cross-sectional diagram of a semiconductor device. The base is a thick layer labeled "サファイア基板" (Sapphire Substrate) with reference numeral 101. Above it are layers 102, 104, and 106, which are collectively labeled "n". Layer 108 is labeled "p". A central feature consists of a series of interlocking rectangular blocks labeled 135, situated between two regions labeled 105. To the right, there is a vertical step or edge labeled 146. On the far left and right edges, there are irregular shapes representing wire bonds or leads, labeled 73 and 74 respectively.



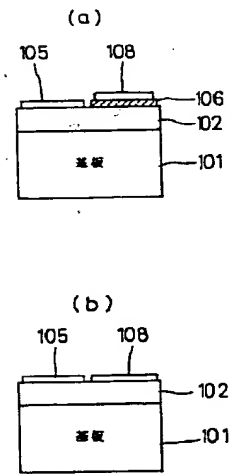
【図1】



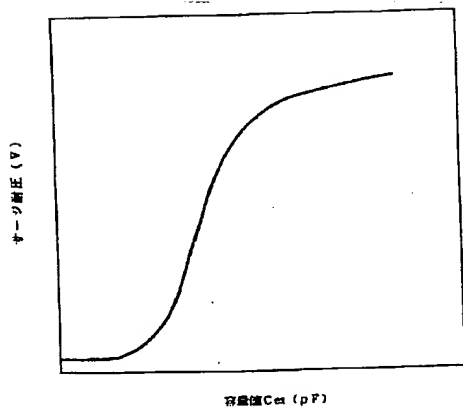
【図2】



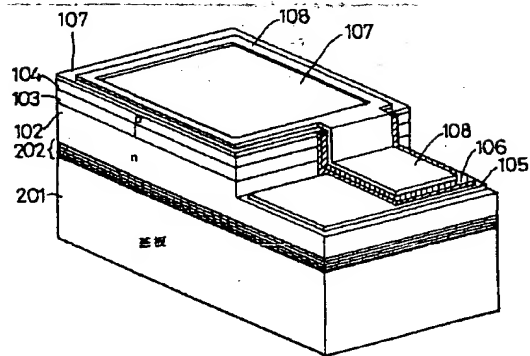
【図10】



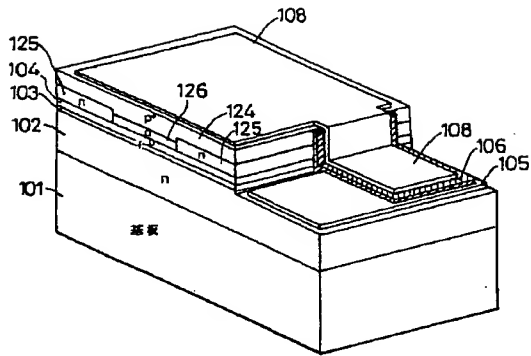
【図3】



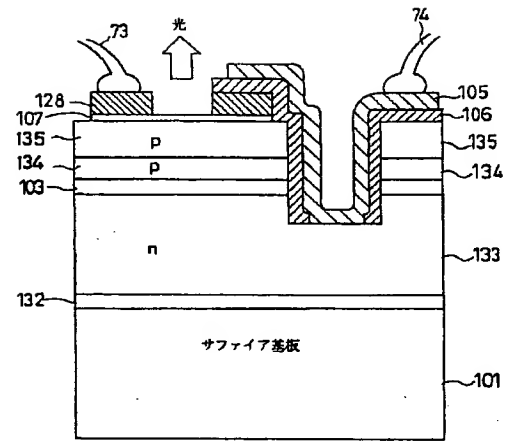
【図4】



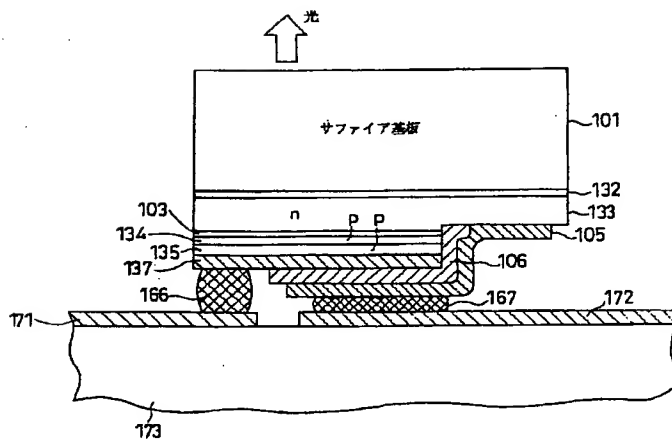
【図5】



【図6】

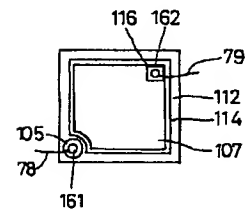


【図7】

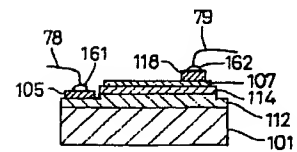


【図12】

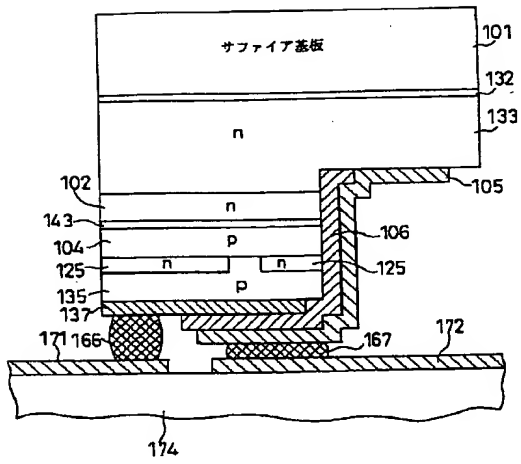
(a) 平面図



(b) 断面図



【図9】



【図11】

